

Architecture des ordinateurs (X31I050)

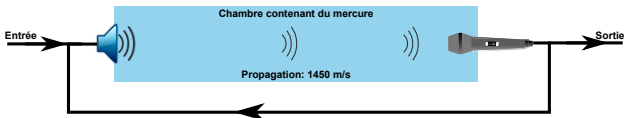
Frédéric Goualard

Laboratoire d'Informatique de Nantes-Atlantique, UMR CNRS 6241
Bureau 112, bât. 11
Frederic.Goualard@univ-nantes.fr

Circuits logiques

Circuits séquentiels

Mémoire à mercure :



Source: <http://dailymotion.com/video/x46kxv/mercury-memory-jpg>

- ▶ Boucle sortie/entrée (*feedback*) pour conserver l'information
- ▶ Utilisation de la vitesse de propagation finie dans le mercure

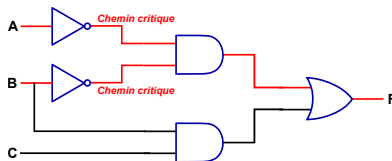
Utilisation de la vitesse de propagation finie dans un circuit électronique

Temps de propagation dans une porte. Temps nécessaire pour que la sortie change lorsque l'entrée d'une porte logique est modifiée (vitesse du courant électrique, capacitance, résistance) ;

Temps de propagation. Temps *maximum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Temps de contamination. Temps *minimum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Chemin critique. Chemin dans le circuit correspondant au temps de propagation.



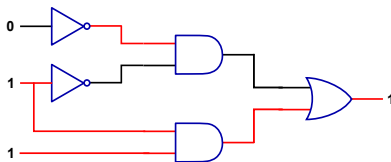
Utilisation de la vitesse de propagation finie dans un circuit électronique

Temps de propagation dans une porte. Temps nécessaire pour que la sortie change lorsque l'entrée d'une porte logique est modifiée (vitesse du courant électrique, capacitance, résistance) ;

Temps de propagation. Temps *maximum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Temps de contamination. Temps *minimum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Chemin critique. Chemin dans le circuit correspondant au temps de propagation.



Glitch. Passage $(A = 0, B = 1, C = 1)$ à $(A = 0, B = 0, C = 1)$

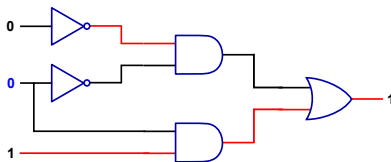
Utilisation de la vitesse de propagation finie dans un circuit électronique

Temps de propagation dans une porte. Temps nécessaire pour que la sortie change lorsque l'entrée d'une porte logique est modifiée (vitesse du courant électrique, capacitance, résistance) ;

Temps de propagation. Temps *maximum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Temps de contamination. Temps *minimum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Chemin critique. Chemin dans le circuit correspondant au temps de propagation.



Glitch. Passage $(A = 0, B = 1, C = 1)$ à $(A = 0, B = 0, C = 1)$

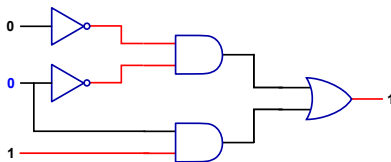
Utilisation de la vitesse de propagation finie dans un circuit électronique

Temps de propagation dans une porte. Temps nécessaire pour que la sortie change lorsque l'entrée d'une porte logique est modifiée (vitesse du courant électrique, capacitance, résistance) ;

Temps de propagation. Temps *maximum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Temps de contamination. Temps *minimum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Chemin critique. Chemin dans le circuit correspondant au temps de propagation.



Glitch. Passage $(A = 0, B = 1, C = 1)$ à $(A = 0, B = 0, C = 1)$

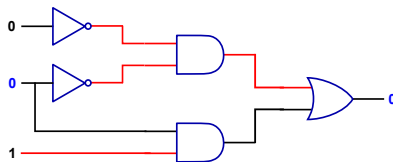
Utilisation de la vitesse de propagation finie dans un circuit électronique

Temps de propagation dans une porte. Temps nécessaire pour que la sortie change lorsque l'entrée d'une porte logique est modifiée (vitesse du courant électrique, capacitance, résistance) ;

Temps de propagation. Temps *maximum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Temps de contamination. Temps *minimum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Chemin critique. Chemin dans le circuit correspondant au temps de propagation.



Glitch. Passage $(A = 0, B = 1, C = 1)$ à $(A = 0, B = 0, C = 1)$

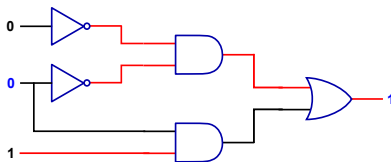
Utilisation de la vitesse de propagation finie dans un circuit électronique

Temps de propagation dans une porte. Temps nécessaire pour que la sortie change lorsque l'entrée d'une porte logique est modifiée (vitesse du courant électrique, capacitance, résistance) ;

Temps de propagation. Temps *maximum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

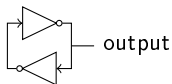
Temps de contamination. Temps *minimum* pour que la sortie d'un circuit reflète les modifications appliquées à ses entrées ;

Chemin critique. Chemin dans le circuit correspondant au temps de propagation.



Glitch. Passage $(A = 0, B = 1, C = 1)$ à $(A = 0, B = 0, C = 1)$

Conservation de l'information dans un circuit logique ?

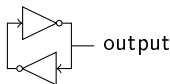


- Initialisation ?
- Modification de la valeur stockée ?

Verrou avec deux NORs

A	B	$\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Conservation de l'information dans un circuit logique ?

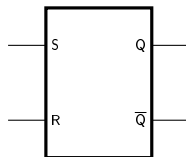
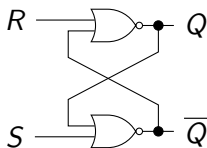


- Initialisation ?
- Modification de la valeur stockée ?

Verrou avec deux NORs

A	B	$\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

- Sortie du circuit
- *Set* : force la sortie à 1
- *Reset* : force la sortie à 0
- Deux états stables pour $A = 0 \wedge B = 0$
- Deux états instables lors du passage simultané $A: 1 \rightarrow 0 \parallel B: 1 \rightarrow 0$



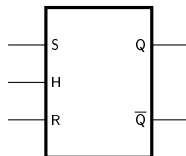
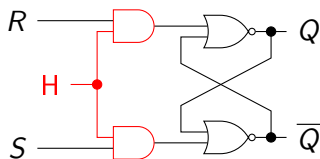
- ▶ Asynchrone : modifications des entrées immédiatement répercutées
- ▶ Sauvegarde d'un bit (mise à 1 par *Set* et à 0 par *Reset*)

Table caractéristique

R	S	Q'	Commentaire
0	0	Q	Sauvegarde état
0	1	1	<i>Set</i>
1	0	0	<i>Reset</i>
1	1	X	Non autorisé

Table d'excitation

$Q \rightarrow Q'$	R	S
$0 \rightarrow 0$	X	0
$0 \rightarrow 1$	0	1
$1 \rightarrow 0$	1	0
$1 \rightarrow 1$	0	X



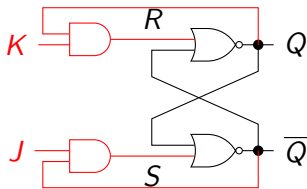
- Bit de contrôle H
- Modifications des entrées répercutées pour $H = 1$

Table caractéristique

H	R	S	Q'	Commentaire
0	X	X	Q	Sauvegarde état
1	0	0	Q	Sauvegarde état
1	0	1	1	Set
1	1	0	0	Reset
1	1	1	X	Non autorisé

Table d'excitation

$Q \rightarrow Q'$	R	S
$0 \rightarrow 0$	X	0
$0 \rightarrow 1$	0	1
$1 \rightarrow 0$	1	0
$1 \rightarrow 1$	0	X



- ▶ But : supprimer le cas indéterminé de la bascule RS
- ▶ R et S jamais simultanément à 1

Table caractéristique

J	K	Q'	Commentaire
0	0	Q	Sauvegarde état
0	1	0	Reset
1	0	1	Set
1	1	\overline{Q}	Inversion

Table d'excitation

$Q \rightarrow Q'$	J	K
$0 \rightarrow 0$	0	X
$0 \rightarrow 1$	1	X
$1 \rightarrow 0$	X	1
$1 \rightarrow 1$	X	0

Équation caractéristique : $Q' = J\overline{Q} + \overline{K}Q$

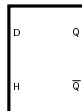
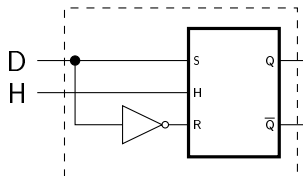


Table caractéristique

H	D	Q'
0	X	Q
1	0	0
1	1	1

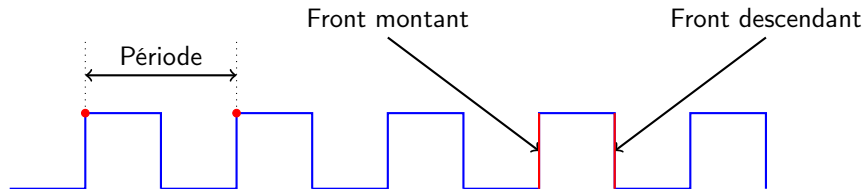
Table d'excitation

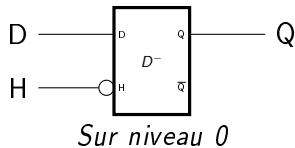
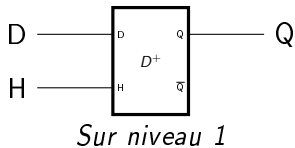
$Q \rightarrow Q'$	D
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1

- Mémoire de 1 bit
- Plus de risque d'état interdit

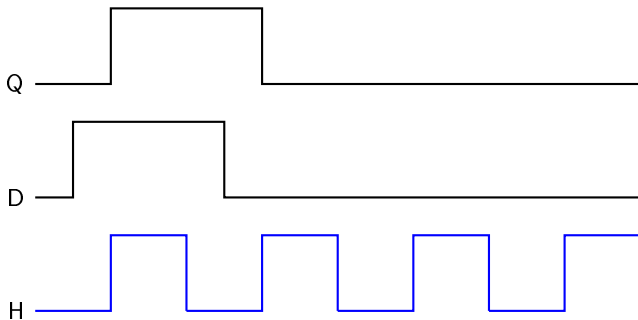
- ▶ Verrou (*latch*)
 - ▶ Sorties modifiées dès que les entrées changent
 - ▶ Problème si valeurs des entrées non disponibles toutes en même temps (*Glitch*)
- ▶ Verrou protégé (*gated latch*)
 - ▶ Ajout d'un signal H pour restreindre le moment de prise en compte des modifications
 - ▶ *level triggered latch* (sur 0 ou 1)
- ▶ Bascule (*flip-flop*)
 - ▶ Utilisation d'un signal périodique carré (*horloge*)
 - ▶ Les sorties évoluent en fonction des entrées seulement « au signal d'horloge »
 - ▶ *edge triggered flip-flop* (sur front montant ou descendant)

Signal périodique carré oscillant entre 0 et 1

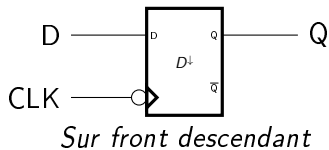
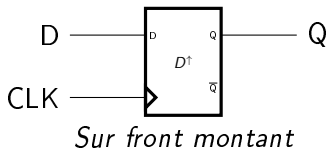




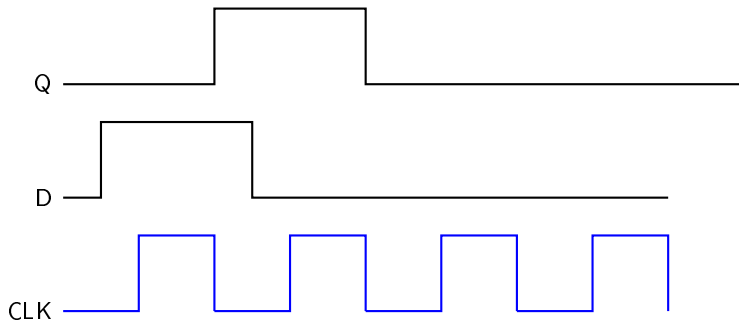
Chronogramme pour D^+ :



LS2N Exemple : la bascule D



Chronogramme pour D^\downarrow :



Implémentation

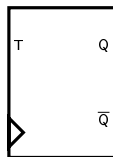
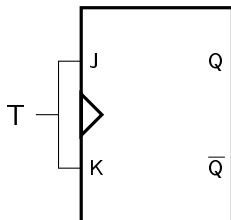


Table caractéristique

T	Q'
0	Q
1	\overline{Q}

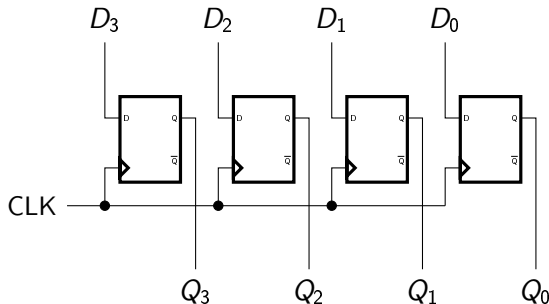
Table d'excitation

$Q \rightarrow Q'$	T
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0

Équation caractéristique : $Q' = T \oplus Q$

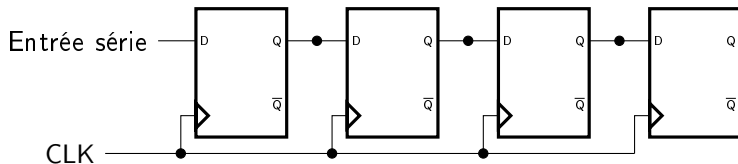
Registre à lecture/écriture parallèle

Exemple de registre sur 4 bits :



Lecture/écriture en série.

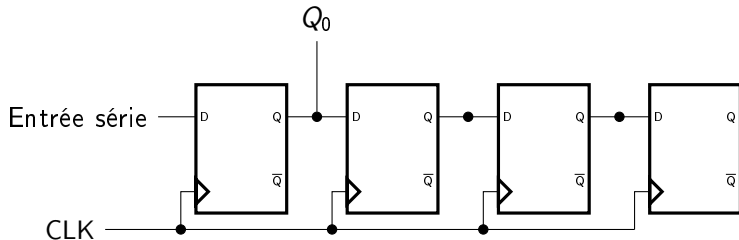
Exemple de registre sur 4 bits :



Implémentation

Lecture/écriture en série.

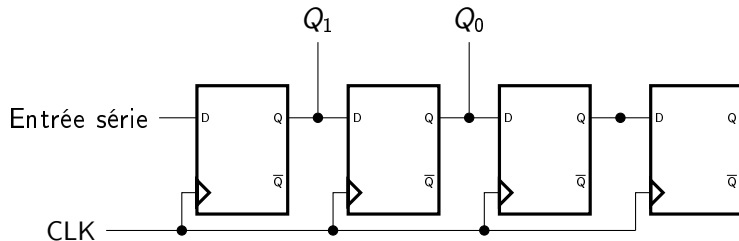
Exemple de registre sur 4 bits :



Implémentation

Lecture/écriture en série.

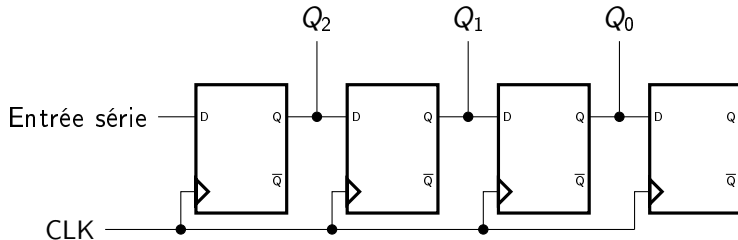
Exemple de registre sur 4 bits :



Implémentation

Lecture/écriture en série.

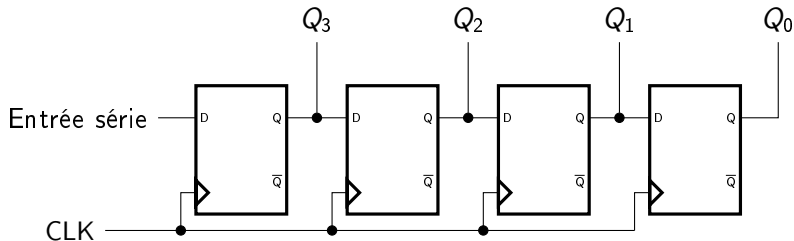
Exemple de registre sur 4 bits :



Implémentation

Lecture/écriture en série.

Exemple de registre sur 4 bits :



Implémentation

Comptage en binaire des occurrences d'un phénomène (e.g. tic d'horloge)

Compteur asynchrone. Impulsions appliquées sur la première bascule (propagation d'une bascule à l'autre)

Compteur synchrone. Impulsions appliquées sur toutes les bascules en parallèle

Exemple sur 3 bits

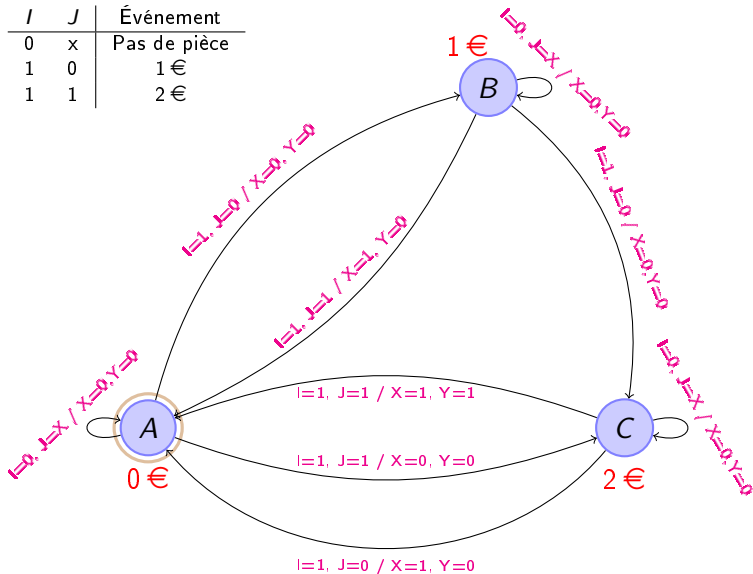
Exemple sur 4 bits

Distributeur de boissons à 3 € :

- | I | J | Événement |
|-----|-----|--------------|
| 0 | x | Pas de pièce |
| 1 | 0 | 1 € |
| 1 | 1 | 2 € |
- ▶ Un senseur de pièces sur 2 bits :
 - ▶ Deux sorties :
 - ▶ X à 1 pour délivrer une boisson si la somme entrée est d'au moins 3 €
 - ▶ Y à 1 pour rendre 1 € si l'utilisateur a inséré 4 €

Réalisation du circuit logique de contrôle ?

I	J	Événement
0	x	Pas de pièce
1	0	1 €
1	1	2 €



Automate fini déterministe :

- ▶ Entrées E
- ▶ Sorties S
- ▶ Fonction du temps $Q(t)$ (états de l'automate)
- ▶ Fonctions de sorties F et de transitions G

avec :

- ▶ $Q(t)$ déterminé par l'histoire de l'automate avant t
- ▶ $S(t + 1) = F(Q(t), E(t))$ (automate de Mealy)
- ▶ $S(t + 1) = F(Q(t))$ (automate de Moore)
- ▶ $Q(t + 1) = G(Q(t), E(t))$

1. Description du système sous forme d'automate
2. Choix d'un codage pour les états [et les entrées/sorties]
3. Détermination des tables pour les fonctions de sortie F et de transition G
4. Traduction de la fonction de transition en fonction des bascules utilisées (table d'excitation)
5. Réalisation du circuit de contrôle implémentant l'automate à l'aide de portes logiques et de bascules

Codage des états :

	codage dense	codage à jetons
A	00	001
B	01	010
C	10	100

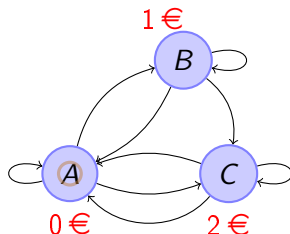
Fonction de sortie

$$(X, Y) = F(I, J, q_0, q_1)$$

F	$q_0 q_1$			
	00	01	11	10
00	00	00	XX	00
01	00	00	XX	00
11	00	10	XX	11
10	00	00	XX	10

$$X = q_1 I J + q_0 I$$

$$Y = q_0 I J$$



Fonction de transition

$$q'_0 q'_1 = G(I, J, q_0, q_1)$$

G	$q_0 q_1$			
	00	01	11	10
00	00	01	XX	10
01	00	01	XX	10
11	10	00	XX	00
10	01	10	XX	00

$$q'_0 = \overline{q_0} \overline{q_1} I J + q_1 \overline{I} \overline{J} + q_0 \overline{I}$$

$$q'_1 = \overline{q_0} \overline{q_1} I \overline{J} + q_1 \overline{I}$$

Fonction de transition

$$q'_0 q'_1 = G(I, J, q_0, q_1) :$$

G	$q_0 q_1$			
	00	01	11	10
IJ	00	01	XX	10
	01	01	XX	10
	11	10	00	XX
	10	01	10	XX

$$q'_0 = \overline{q_0} \overline{q_1} IJ + q_1 I \overline{J} + q_0 \overline{I}$$

$$q'_1 = \overline{q_0} \overline{q_1} I \overline{J} + q_1 \overline{I}$$

Table d'excitation

$Q \rightarrow Q'$	D
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1

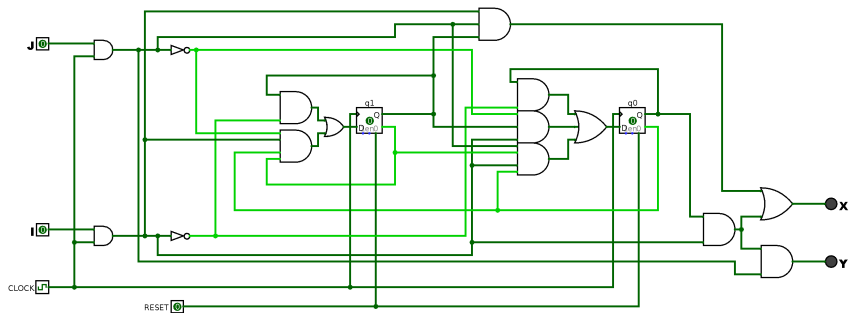
Changements d'états avec des bascules D :

$D_0 D_1$	$q_0 q_1$			
	00	01	11	10
IJ	00	01	XX	10
	01	01	XX	10
	11	10	00	XX
	10	01	10	XX

$$D_0 = \overline{q_0} \overline{q_1} IJ + q_1 I \overline{J} + q_0 \overline{I}$$

$$D_1 = \overline{q_0} \overline{q_1} I \overline{J} + q_1 \overline{I}$$

Implémentation avec des bascules D



Simulation

Fonction de transition

$$q'_0 q'_1 = G(I, J, q_0, q_1) :$$

G	$q_0 q_1$			
	00	01	11	10
IJ	00	01	XX	10
	01	01	XX	10
	11	10	00	XX
	10	01	10	XX

$$q'_0 = \overline{q_0} \overline{q_1} IJ + q_1 I \overline{J} + q_0 \overline{I}$$

$$q'_1 = \overline{q_0} \overline{q_1} I \overline{J} + q_0 \overline{I}$$

Table d'excitation

$Q \rightarrow Q'$		J	K
X	0 \rightarrow 0	0	X
	0 \rightarrow 1	1	X
	1 \rightarrow 0	X	1
	1 \rightarrow 1	X	0

Changements d'états avec des bascules JK :

$J_0 K_0 J_1 K_1$		$q_0 q_1$			
		00	01	11	10
IJ	00	0x0x	0xx0	xxxx	x00x
	01	0x0x	0xx0	xxxx	x00x
	11	1x0x	0xx1	xxxx	x10x
	10	0x1x	1xx1	xxxx	x10x

$$J_0 = IJ \overline{q_1} + I \overline{J} q_1$$

$$K_0 = I$$

$$J_1 = I \overline{J} \overline{q_0}$$

$$K_1 = I$$